

BOARD FOR GALLIUM NITRIDE CRYSTAL GROWTH, AND ITS APPLICATION**Publication Number:** 11-103135 (JP 11103135 A) , April 13, 1999**Inventors:**

- OKAGAWA HIROAKI
- OUCHI YOICHIRO
- MIYASHITA KEIJI
- TADATOMO KAZUYUKI

Applicants

- MITSUBISHI CABLE IND LTD

Application Number: 10-005682 (JP 985682) , January 14, 1998**Priority:**

- 09204915 [JP 979204915], JP (Japan), July 30, 1997

International Class:

- H01S-003/18
- C30B-029/38
- H01L-021/205
- H01L-033/00

Abstract:

PROBLEM TO BE SOLVED: To provide a substrate for GaN crystal growth with which a high quality GaN substrate which is thick and moreover does not contain defects such as a transposition, etc., can be obtained, and the manufacture of a GaN semiconductor element using it. **SOLUTION:** A mask region 12 covered with a mask layer 2 and nonmask region 11, where the base substrate face is exposed, are made at the face of a base substrate 1. A material where crystals will not grow substantially from its own surface is used for the mask layer. In the case of making the upper part of the mask region into low transposition, the mask region is made in such form that at least the outline includes two straight parallel lines y1 and y2 which extend in the direction <1-100>. Furthermore, a width w1 of two parallel straight lines is made smaller than the width of a GaN semiconductor element, and moreover is made larger than the width of the active part of the element. In this case for, dividing the GaN semiconductor element into separate pieces, it is preferable to make use of a nonmask region. **COPYRIGHT:** (C)1999,JPO

JAPIO

© 2005 Japan Patent Information Organization. All rights reserved.

Dialog® File Number 347 Accession Number 6161591

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-103135

(43) 公開日 平成11年(1999) 4月13日

(51) Int.Cl.⁶ 識別記号

H 0 1 S 3/18
C 3 0 B 29/38
H 0 1 L 21/205
33/00

F I

H 0 1 S 3/18
C 3 0 B 29/38 D
H 0 1 L 21/205
33/00 C

審査請求 未請求 請求項の数12 O L (全 11 頁)

(21) 出願番号 特願平10-5682

(22) 出願日 平成10年(1998) 1月14日

(31) 優先権主張番号 特願平9-204915

(32) 優先日 平9(1997) 7月30日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003263

三菱電線工業株式会社
兵庫県尼崎市東向島西之町8番地

(72) 発明者 岡川 広明

兵庫県伊丹市池尻4丁目3番地 三菱電線
工業株式会社伊丹製作所内

(72) 発明者 大内 洋一郎

兵庫県伊丹市池尻4丁目3番地 三菱電線
工業株式会社伊丹製作所内

(72) 発明者 宮下 啓二

兵庫県伊丹市池尻4丁目3番地 三菱電線
工業株式会社伊丹製作所内

(74) 代理人 弁理士 高島 一

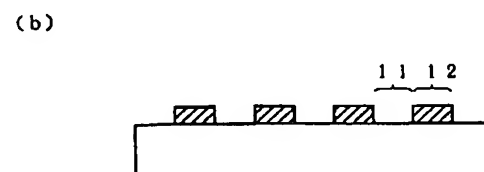
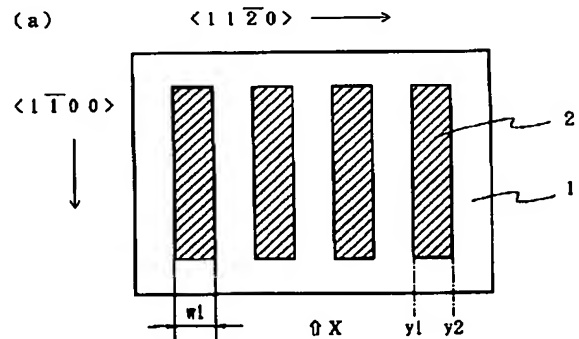
最終頁に続く

(54) 【発明の名称】 GaN系結晶成長用基板およびその用途

(57) 【要約】

【課題】 厚膜で、しかも転位などの欠陥を内包しない高品質なGaN系基板を効率良く得ることができるGaN系結晶成長用基板と、それを用いたGaN系半導体素子の製造方法を提供すること。

【解決手段】 ベース基板1の面に、マスク層2で覆われたマスク領域12とベース基板面が露出した非マスク領域11とを形成する。マスク層にはそれ自身の表面からは実質的に結晶成長し得ない材料を用いる。マスク領域の上方を低転位化する場合、マスク領域は、 $\langle 1-100 \rangle$ 方向に延びる平行な2直線 y_1 、 y_2 を少なくとも外形線に含む形状とする。さらに、平行な2直線の幅 w_1 を、GaN系半導体素子の幅以下とし、かつ、その素子の活性部の幅以上とする。この場合、GaN系半導体素子を個々に分断するには、非マスク領域を利用するのが好ましい。



- 1 ベース基板
- 2 マスク層
- 11 非マスク領域
- 12 マスク領域

【特許請求の範囲】

【請求項1】 GaN系半導体素子を構成するGaN系結晶基板の製造に用いられるGaN系結晶成長用基板であって、

GaN系結晶が成長可能なベース基板面の一部または全部の領域に、マスク領域と非マスク領域とを形成するようにマスク層が設けられ、マスク層はそれ自身の表面からは実質的にGaN系結晶が成長し得ない材料からなり、

マスク層の形成パターンは、非マスク領域を成長の出発点としてマスク層上面を覆うまでGaN系結晶を成長させたときに該結晶内のうちの低転位となった部分の幅が前記GaN系半導体素子内の活性部の幅以上となり得るように形成されたパターンであるGaN系結晶成長用基板。

【請求項2】 GaN系半導体素子を構成するGaN系結晶基板の製造に用いられるGaN系結晶成長用基板であって、

GaN系結晶が成長可能なベース基板面の一部または全部の領域に、マスク領域と非マスク領域とを形成するようにマスク層が設けられ、マスク層はそれ自身の表面からは実質的にGaN系結晶が成長し得ない材料からなり、

マスク領域は、前記ベース基板上に成長するGaN系結晶の〈1-100〉方向に延びる平行な2直線を外形線に含み、この平行な2直線の幅が、前記GaN系半導体素子の幅以下であり、かつ、その素子の活性部の幅以上である請求項1記載のGaN系結晶成長用基板。

【請求項3】 上記非マスク領域が、前記ベース基板上に成長するGaN系結晶の〈11-20〉方向に延びる平行な2直線を外形線に含み、この平行な2直線の幅が、前記GaN系半導体素子の幅以下であり、かつ、その素子の活性部の幅以上である請求項1記載のGaN系結晶成長用基板。

【請求項4】 非マスク領域が、上記平行な2直線によって決定される帯状の領域であって、この非マスク領域が平行縞状となるように、帯状のマスク層が等間隔に複数形成されたものである請求項2または3記載のGaN系結晶成長用基板。

【請求項5】 上記GaN系半導体素子がGaN系ストライプレーザであって、上記活性部幅が前記ストライプレーザ中のストライプ部の幅であり、上記平行な2直線の延びる方向が前記ストライプレーザ中のストライプ部の長手方向である請求項2～4のいずれかに記載のGaN系結晶成長用基板。

【請求項6】 上記GaN系半導体素子がGaN系発光ダイオードである請求項1～4のいずれかに記載のGaN系結晶成長用基板。

【請求項7】 ベース基板が、少なくともその表層が $I_{n_x}Ga_yAl_zN$ ($0 \leq X \leq 1$, $0 \leq Y \leq 1$, $0 \leq Z$

≤ 1 , $X+Y+Z=1$) からなるものである請求項1記載のGaN系結晶成長用基板。

【請求項8】 上記請求項1～7のいずれかに記載のGaN系結晶成長用基板を用い、①該基板上の非マスク領域を出発点としてマスク層上を覆うまでGaN系結晶層を成長させる工程と、②前記GaN系結晶層のうち低転位となった部分にGaN系半導体素子の活性部が形成されるようにGaN系半導体層を成長させてGaN系半導体素子を含む積層体を形成する工程と、③前記積層体を個々のGaN系半導体素子に分断する工程と、を有することを特徴とするGaN系半導体素子の製造方法。

【請求項9】 上記請求項1～7のいずれかに記載のGaN系結晶成長用基板を用い、①該基板上の非マスク領域を出発点としてマスク層上を覆うまでGaN系結晶層を成長させる工程と、②前記GaN系結晶層のうち少なくともマスク領域上にGaN系半導体素子の活性部が形成されるようにGaN系半導体層を成長させてGaN系半導体素子を含む積層体を形成する工程と、③前記積層体を個々のGaN系半導体素子に分断する工程と、を有することを特徴とする請求項8記載のGaN系半導体素子の製造方法。

【請求項10】 GaN系結晶成長用基板が上記請求項5に記載のGaN系結晶成長用基板であり、上記分断する工程における分断が、GaN系結晶層のうち低転位となった部分以外の部分で行われる分断である請求項8記載のGaN系半導体素子の製造方法。

【請求項11】 GaN系結晶成長用基板が上記請求項5に記載のGaN系結晶成長用基板であり、GaN系半導体素子がGaN系ストライプレーザであって、上記平行な2直線で決定されるマスク領域上または非マスク領域上の低転位となった部分に、GaN系ストライプレーザのストライプ部を長手方向が一致するよう形成し、必要なGaN系半導体層を成長させてGaN系ストライプレーザを含む積層体を形成し、その積層体を、先ずストライプ部の長手方向と垂直な面を分断面として分断して共振器面を形成し、次にストライプ部の長手方向と平行な面を分断面として個々のGaN系ストライプレーザに分断する工程を有する請求項9記載のGaN系半導体素子の製造方法。

【請求項12】 個々のGaN系ストライプレーザに分断する分断が、GaN系結晶層のうち低転位となった部分以外の部分において行われる分断である請求項11記載のGaN系半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、GaN系結晶成長用基板と、それを用いたGaN系半導体素子の製造方法に関するものである。

【0002】

【従来の技術】一般的なGaN系半導体結晶（以下、G

a N系結晶)の厚膜成長方法としては、サファイア基板上にZnO等のバッファ層を形成し、その上にハイドライド気相エピタキシャル成長法(以下、「HVP E」)でGa N系結晶を成長させる方法がある。また、その改良技術として、サファイア基板に代え、スピネル、LGO、LAO、ZnO、SiC等の基板を用いたり、易劈開性の基板を用いたり、或いは基板表面にマスクを設けその上に選択成長させる方法等がある。

【0003】

【発明が解決しようとする課題】しかしながら、Ga N系結晶を厚膜成長させると、サファイア結晶とGa N系結晶との間の格子定数及び熱膨張係数の違いから界面に多大のストレスが掛かり、Ga N系結晶層が割れ大型基板が得られないといった問題点があった。また、大きな転位密度($1 \times 10^9 \text{ cm}^{-2} \sim 1 \times 10^{10} \text{ cm}^{-2}$ 程度)のGa N系結晶基板しか得られないといった問題点があった。ここで転位とは、基板上に半導体層を成長させるときに、格子定数が合致していない(格子不整合)状態で成長させた場合に発生する欠陥であり、これら転位は結晶欠陥であるため非発光再結合中心として働いたり、そこが電流のパスとして働き漏れ電流の原因になるなど、当該Ga N半導体材料を発光素子に用いた場合に発光特性や寿命特性を低下させる原因となる。

【0004】本発明は、厚膜で、しかも転位などの欠陥を内包しない高品質なGa N系基板を効率良く得ることができるGa N系結晶成長用基板と、それを用いたGa N系半導体素子の製造方法を提供することを目的とする。

【0005】

【課題を解決するための手段】本発明は、以下の特徴を有するものである。

(1) Ga N系半導体素子を構成するGa N系結晶基板の製造に用いられるGa N系結晶成長用基板である。Ga N系結晶が成長可能なベース基板面の一部または全部の領域に、マスク領域と非マスク領域とを形成するようにマスク層が設けられる。マスク層はそれ自身の表面からは実質的にGa N系結晶が成長し得ない材料からなる。マスク層の形成パターンは、非マスク領域を成長の出発点としてマスク層上面を覆うまでGa N系結晶を成長させたときに該結晶内のうちの低転位となった部分の幅が前記Ga N系半導体素子内の活性部の幅以上となり得るように形成されたパターンである。

【0006】例えば、マスク領域を、前記ベース基板上に成長するGa N系結晶の〈1-100〉方向に延びる平行な2直線を外形線に含み、この平行な2直線の幅が、前記Ga N系半導体素子の幅以下であり、かつ、その素子の活性部の幅以上であるものとする。或いは、非マスク領域を、前記ベース基板上に成長するGa N系結晶の〈11-20〉方向に延びる平行な2直線を外形線に含み、この平行な2直線の幅が、前記Ga N系半導体

素子の幅以下であり、かつ、その素子の活性部の幅以上であるものとする。

【0007】(2) 上記マスク領域が、上記平行な2直線によって決定される帯状の領域であって、このマスク領域が、平行縞状となるよう等間隔に複数形成されたものである。或いは、上記非マスク領域が、上記平行な2直線によって決定される帯状の領域であって、この非マスク領域が平行縞状となるように、帯状のマスク層が等間隔に複数形成されたものである。

【0008】(3) 上記Ga N系半導体素子がGa N系ストライプレーザであって、上記平行な2直線の延びる方向が前記ストライプレーザ中のストライプ部の長手方向であり、上記活性部幅がストライプ部幅である上記(1)または(2)に記載のGa N系結晶成長用基板。

【0009】(4) 上記Ga N系半導体素子がGa N系発光ダイオードである上記(1)～(3)のいずれかに記載のGa N系結晶成長用基板。

【0010】(5) ベース基板が、少なくともその表層が $\text{In}_x\text{Ga}_y\text{Al}_z\text{N}$ ($0 \leq X \leq 1$, $0 \leq Y \leq 1$, $0 \leq Z \leq 1$, $X+Y+Z=1$) からなるものである上記(1)に記載のGa N系結晶成長用基板。

【0011】(6) 上記(1)～(5)のいずれかに記載のGa N系結晶成長用基板を用い、①該基板上の非マスク領域を出発点としてマスク層上を覆うまでGa N系結晶層を成長させる工程と、②前記Ga N系結晶層のうち低転位となった部分(例えば、前記Ga N系結晶層のうち少なくともマスク領域上)にGa N系半導体素子の活性部が形成されるようにGa N系半導体層を成長させてGa N系半導体素子を含む積層体を形成する工程と、③前記積層体を個々のGa N系半導体素子に分断する工程と、を有することを特徴とするGa N系半導体素子の製造方法。

【0012】(7) Ga N系結晶成長用基板が上記(3)に記載のGa N系結晶成長用基板であり、上記分断する工程における分断が、Ga N系結晶層のうち低転位となった部分以外の部分(例えば、非マスク領域)において行われる分断である上記(6)に記載のGa N系半導体素子の製造方法。

【0013】(8) Ga N系結晶成長用基板が上記(3)に記載のGa N系結晶成長用基板であり、Ga N系半導体素子がGa N系ストライプレーザであって、上記平行な2直線で決定される上記平行な2直線で決定されるマスク領域上または非マスク領域上の低転位となった部分(例えば、マスク領域上)に、マスク領域上にGa N系ストライプレーザのストライプ部を長手方向が一致するよう形成し、必要なGa N系半導体層を成長させてGa N系ストライプレーザを含む積層体を形成し、その積層体を、先ずストライプ部の長手方向と垂直な面を分断面として分断して共振器面を形成し、次にストライプ部の長手方向と平行な面を分断面として個々のGa N系

ストライプレーザに分断する工程を有する上記(6)記載のGa N系半導体素子の製造方法。

【0014】(9)個々のGa N系ストライプレーザに分断する分断が、Ga N系結晶層のうち低転位となった部分以外の部分(例えば、非マスク領域内)において行われる分断において行われる分断である上記(8)記載のGa N系半導体素子の製造方法。

【0015】

【作用】本明細書では、六方格子結晶であるGa N系結晶の格子面を4つのミラー指数(h k i l)によって指定するに際し、記載の便宜上、指数が負である場合には、その指数の前にマイナス記号を付けて表記するものとし、この負の指数に関する表記方法以外は、一般的なミラー指数の表記方法に準じる。従って、Ga N系結晶の場合では、C軸に平行なブリズム面(特異面)は6面あるが、例えば、その1つの面は(1-100)と表記し、6面を等価な面としてまとめる場合には{1-100}と表記する。また、前記{1-100}面に垂直でかつC軸に平行な面を等価的にまとめて{11-20}と表記する。また、(1-100)面に垂直な方向は{1-100}、それと等価な方向の集合を<1-100>とし、(11-20)面に垂直な方向は{11-20}、それと等価な方向の集合を<11-20>と表記する。ただし、図面では、指数が負である場合には、その指数の上にマイナス記号を付けて表記し、ミラー指数の表記方法に全て準じる。本発明でいう結晶方位は、ベース基板上にC軸を厚み方向として成長したGa Nの結晶を基準とする方位である。また、マスク層の形成パターンを、結晶方位を用いて説明する場合は、その結晶方位は、該マスク上を覆って成長するGa N系結晶を基準とする方位である。

【0016】ベース基板上に設けられる「マスク領域」と「非マスク領域」は、ともにベース基板面中に定義される領域である。マスク層の上面の領域は、マスク領域に等しいものとみなし、同義として説明に用いる。また、マスク領域の上方とは、マスク領域の面に対して垂直に上方のことである。非マスク領域の上方も同様である。

【0017】本明細書において、基板上に複数形成された素子を個々に分断するに際し「低転位となった部分以外の部分において分断する」、「非マスク領域において分断する」など、「A部分において分断する」と言うときは、分断面が該A部分を通過し、かつ分断面が各層の面と垂直に交差するようにして分断することを意味する。

【0018】本明細書において、「無転位状態」、「転位等の欠陥が存在しない」と言うときは、転位が全く存在しない理想的な状態(理論上存在する状態)だけを意味するのではなく、サファイア基板上にバッファ層を介してGa N系結晶を成長させた場合における通常の転

位密度に比べて、産業上その転位の影響を無視し得る程十分に低い転位密度とされた状態を意味する。

【0019】本発明者らは、先にGa N系結晶とサファイア結晶との格子定数及び熱膨張係数の違いに起因するGa N系結晶層のクラック対策として、図7(a)に示すように、ベース基板1上に、格子状にパターンニングしたマスク層2を設け、非マスク領域11だけにGa N系結晶層30を成長させ、ベース基板面全体に対してチップサイズのGa N系結晶層30を点在させることによって、クラックを防止することを提案している(特開平7-273367号公報)。

【0020】その後本発明者らがさらに研究を重ねた結果、点的に成長させたGa N系結晶層30をさらに成長させると、図7(b)に示すように、厚さ方向だけでなく、各Ga N系結晶層30からマスク層2上へ向けての横方向へも成長が行われることが確認された。しかも、厚さ方向(C軸方向)と同じ程度の成長速度があり、結晶方位依存性が判明した。

【0021】さらに、Ga N系結晶層30におけるGa N系結晶中に存在する転位は、ベース基板を含む下地から継承するか、何れかの成長界面で発生し、結晶成長と共に成長する特性がある。非マスク部を出発点としマスク層を覆うまでGa N結晶を成長させた場合、マスク層を覆うのに要する厚み、低転位領域の形成される場所は、マスク層の方向(マスク層と非マスク部との境界線の方向)・Ga N結晶を成長させる時のガス雰囲気により変化することを見いだした。例えば、転位線を上方に伝搬させることによってマスク層の上方を低転位とする場合ならば、図7(b)に示す如く、マスク層2の上に当たる領域(≡マスク領域として、以下、この領域もマスク領域と呼ぶ)には発生源となる下地(成長界面)が存在しないので無転位状態となる。この横方向の成長をさらに進めると、図7(c)に示す如く、Ga N系結晶はマスク層2の上を完全に覆ってマスク層を埋め込む。このときマスク領域には非常に欠陥の少ない平坦でクラックの無い大型且つ厚膜のGa N系結晶層3が得られる事を見いだしたのである。

【0022】本発明のGa N系結晶成長用基板は、マスク層の形成・結晶成長方法を選択し、マスク領域上や非マスク領域上に形成される低転位な良質の結晶を利用し、その低転位となる部分にGa N系半導体素子(以下、単に「素子」ともいう)を形成するためのものである。また、そのマスク領域・非マスク領域の幅を、素子の活性部の幅以上、素子の全幅以下に限定することが重要である。例えば、マスク層の上方を低転位とする場合ならば、この基板上に素子を形成するに際しては、少なくとも素子の活性部の直下にマスク領域がくるように形成することが重要である。これによって、最小限のマスク領域によって高い品質の素子を確保することができる。

【0023】また、当該GaN系結晶成長用基板上に、GaN系半導体層を積層し、多数の素子を含む積層体を形成した後、これを個々の素子に分断する際には、例えば、マスク層の上方を低転位とする場合ならば、非マスク領域において分断することが、好ましい態様として挙げられる。この場合、非マスク領域に形成されたGaN系結晶層は、上記したように欠陥の多い低い品質であるから素子の形成には不向きな領域である。この領域を分断するための領域として用いることは、分断時に高品質の結晶部分を割るような無駄がなくなり、ベース基板面の限られた面積および横方向に成長する良質な結晶部分をより効率良く利用できる、一つの好ましい態様である。そのためには、分断すべき部分が非マスク領域を通るようにマスク層のパターニングを行なう。逆に、非マスク領域の上方を低転位とする場合ならば、マスク領域において分断することが、好ましい態様となる。

【0024】

【発明の実施の形態】以下、図面を参照しながら、本発明の実施の形態につき説明する。図1は本発明のGaN系結晶成長用基板の一例を示す図であって、図1(a)は、基板面を見たときの図、図1(b)は、図1(a)の基板を图中的X方向から見た図である。同図に示すように、GaN系結晶が成長可能なベース基板1の面に、マスク層2で覆われたマスク領域12とベース基板面が露出した非マスク領域11とが形成されている。マスク層にはハッチングを施している。

【0025】製造目的の素子としては、限定されないが、例えば、発光素子、受光素子、パワーデバイス等が挙げられる。発光素子としては、上記したようにGaN系発光ダイオードやGaN系半導体レーザなどが挙げられ、パワーデバイスとしては、マイクロ波FET、パワーMOSFET、HBT (Heterojunction Bipolar Transistor)、MMIC (Monolithic Microwave Integrated Circuit)などが挙げられる。

【0026】素子の幅は、例えば、発光素子で例示するならば、図5に示すものが代表的なものとして挙げられる。図5(a)は、GaN結晶を基板1とする場合のGaN系LEDであり、素子全体は単純な直方体であって、素子の幅Bと活性部aの幅Aとは等しい。図5

(b)は、サファイア結晶を基板とする場合のGaN系LEDであり、基板が絶縁体であるが故に図の様な上面の電極配置となり、素子の幅Bよりも活性部の幅Aのほうが小さい。図5(c)は、サファイア結晶を基板とする場合のGaN系ストライブレーザであり、ストライブ構造のために、図5(b)のLEDの場合と比べて素子の幅Bよりも活性部(ストライブ部)の幅Aのほうがさらに小さくなっている。

【0027】ストライブレーザにおけるストライブ部の幅は、例えば、ストライブ状の部材が埋め込まれてなる態様ではストライブ状の部材の幅であり、共振器の2面

間距離に対して積層体の幅を狭くし積層体自体の形状をストライブ状とする態様では積層体の幅であり、電極をストライブ状とし活性層のうち電極直下に対応する部分をストライブ部とする態様では電極の幅であるなど、種々の態様に依じてストライブ部の幅とみなされる部分は異なる。図5(c)の例は、ストライブ部の幅が、活性層の幅よりも狭い場合の例である。

【0028】素子の幅および該幅を含む外周形状、図5では幅と紙面に垂直方向の奥行き寸法は、素子の種類によって異なり、LEDアレイなど大面積のものもあるが、例えば、レーザなどの発光素子では、一個当たり、幅200 μ m~500 μ m、奥行き200 μ m~1000 μ m程度である。

【0029】ベース基板は、GaN系結晶が成長可能なものであればよく、例えば、従来からGaN系結晶を成長させる際に汎用されている、サファイア、水晶、SiC等を用いてもよい。なかでも、サファイアのC面、A面、6H-SiC基板、特にC面サファイア基板が好ましい。またこれら材料の表面に、GaN系結晶との格子定数や熱膨張係数の違いを緩和するためのZnO、MgOやAlN等のバッファ層を設けたものであっても良い。

【0030】特に、ベース基板は、成長させるGaN系結晶となるべく格子定数が近く且つ熱膨張係数ができるだけ近いものを選択することが、転位などの欠陥を本来的に少なくする点及びクラック等をより生じにくくする点で望ましい。また、後述するマスク層の薄膜形成の際における高熱やエッチングに対する耐性に優れることが好ましい。このような点から、ベース基板は、少なくともその表層が $In_xGa_yAl_zN$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq z \leq 1$, $x+y+z=1$) からなるものが挙げられる。具体的には、サファイア基板上に、MOVPE法によりZnOやAlN等のバッファ層、次いでGaN又はGaAlNの薄層を順次成膜したものが好適に用い得る。このようなベース基板であれば、該ベース基板上に成長させるGaN系結晶内に新たに発生する転位の密度を低く抑える事が出来、良好な結晶性を得ることができる。

【0031】マスク層は、それ自身の表面からは実質的にGaN系結晶が成長し得ない材料を用いる。このような材料として例えば非晶質体が例示され、さらにこの非晶質体としてSi、Ti、Ta、Zr等の窒化物や酸化物、即ち、 SiO_2 、 SiN_x 、 $SiO_{1-x}N_x$ 、 TiO_2 、 ZrO_2 等が例示される。とりわけ、耐熱性に優れると共に成膜及びエッチング除去が比較的容易な SiO_2 、 SiN_x 、 $SiO_{1-x}N_x$ が適しており、またこれら材料の多層構造でもよい。

【0032】マスク層は、例えば真空蒸着、スパッタ、CVD等の方法により基板全表面を覆うように形成した後、通常のフォトリソグラフィ技術によって光感光性

レジストのパターニングを行い、エッチングによって基板の一部を露出させる等の手段で形成される。

【0033】マスク層（マスク領域）の形成パターンは特に限定はなく、格子状、ストライプ状、ドット状等であって良い。ベース基板面をマスク層で全面覆い、該マスク層に開口部を設けてその内部にベース基板面を露出させる場合、開口部の形状は任意の形状でよく、円形、楕円、星、四角形、その他多角形でも構わない。マスク領域上方に低転位部分を形成するならば、マスク領域12は、ベース基板1上に成長するGa_{0.5}N_{0.5}系結晶の〈1-100〉方向に延びる平行な2直線を少なくとも外形線に含む形状として形成される。図1の例では、マスク領域は直線的な帯状として設けられ縞状に間隔をおいて配置されている。個々のマスク領域は、そのうちの1つのマスク領域12に示すように、〈1-100〉方向に延びる平行な2直線y₁、y₂によって決定される帯状の領域である。また、非マスク領域上方に低転位部分を形成するならば、マスク領域12は、ベース基板1上に成長するGa_{0.5}N_{0.5}系結晶の〈11-20〉方向に延びる平行な2直線を少なくとも外形線に含む形状として形成される。

【0034】マスク領域の外形線、即ち、マスク領域と非マスク領域との境界線が〈1-100〉方向の直線を含むことによって、Ga_{0.5}N_{0.5}系結晶の〈11-20〉面が、マスク層の上面に沿って成長する面として確保される。〈11-20〉面はオフファセットな面であるため、ファセットな〈1-100〉面に比べて、Ga_{0.5}N_{0.5}系結晶は横方向に高速に成長する。

【0035】本発明では、マスク領域上方に低転位部分を形成する場合には、この〈1-100〉方向に延びる平行な2直線y₁、y₂の幅w₁を、製造目的である素子の幅、特に、少なくとも活性部の直下に存在し得る幅としている。これによって、図4(b)、図6に示すように、マスク領域上の良質な結晶部分を効率良く素子に用いることができる。以下、マスク領域上方に低転位部分を形成する場合について、具体例を挙げて説明する。

【0036】マスク領域上方に低転位部分を形成する場合には、〈1-100〉方向に延びる平行な2直線を外径に有するようにマスク層を形成することが好ましいが、その場合には、マスク領域の〈11-20〉方向の幅は、少なくとも活性部の直下に存在し得る幅であればよく、素子の活性部の幅から全体の幅まで任意に選択してよい。例えば、ストライプレーザでは、上記したようにストライプの幅2μm～素子全体の幅1000μm程度であるから、マスク領域の〈11-20〉方向の幅もそれに従って2μm～1000μmとするのが好ましい。また、LEDアレイなど、さらに大きな面積の素子の場合でも、少なくともマスク領域の〈11-20〉方向の幅を、活性部の幅～全体の幅に決定する。

【0037】マスク領域上方に低転位部分を形成すると

し、また、マスク領域が図1に示すような縞状であって、個々の帯状のマスク領域上に素子を形成する場合（個々の帯状のマスク領域上には、幅方向には1つの素子が、長手方向には多数個の素子が分断によって採れるように形成される）、マスク領域の帯の数と、素子の列の数とを1対1に対応させるのであれば、マスク領域同士に挟まれた非マスク領域の幅は、分断し得る幅を確保すればよい。例えば、図5(c)に示すような素子において、マスク領域の幅を活性部の幅に設定した場合、マスク領域の幅は最小限となるが、その両側の非マスク領域は、素子を個々に分離する時に該両側の非マスク領域を切断面が通過し得るだけの幅を少なくとも確保する必要がある、非マスク領域の幅は最大となる。

【0038】マスク領域上方を低転位とする場合であって、活性部の幅が素子全体の幅よりも狭く、マスク領域の幅を活性部の幅としてその直下に対応させる場合、マスク領域の帯の数と、素子の列の数とを1対1に対応させないならば、素子の直下の領域のうち活性部以外の領域には、マスク領域を何条形成してもよい。

【0039】一方、マスク領域の幅が素子の最大幅をとった場合、非マスク領域の幅は必要最小の幅であってよい。本発明では、マスク領域上方を低転位とする場合には、非マスク領域は、Ga_{0.5}N_{0.5}系結晶層を成長させるための出発点でありながら、かつ分断用の切削領域となる。従って、例えばブレーキングによって分断する場合にはロスとなる幅は殆ど無く、分断のために必要な幅ではなく、結晶成長の出発領域として必要な幅を考慮すればよい。また、ダイヤモンド回転刃による切削によって分断する場合には、ロス幅20μm～50μm程度が必要である。

【0040】上記の点から、マスク領域上方に低転位部分を形成する場合には、非マスク領域の幅は、0.5μm～5mm、特に、1μm～1mm程度から選択される。

【0041】図2の態様は、図1に示す態様のバリエーションであって、〈11-20〉方向の幅だけでなく、〈1-100〉方向の幅も、素子の形状に合わせた態様である。即ち、個々のマスク領域は、〈1-100〉方向に延びる平行な2辺y₃、y₄と、〈11-20〉方向に延びる平行な2辺x₁、x₂からなる方形の領域であって、この方形の形状が、目的の素子の形状に合わせて形成されている。マスク領域上方に低転位部分を形成させるならば、〈11-20〉方向の幅または、〈1-100〉方向の幅のいずれか一方が、素子の活性部の幅以上、素子の全幅以下であればよく、他方は素子の活性部の幅以上であれば、素子複数個分であってもよく、限定されない。図2の例では、このマスク領域が、〈11-20〉方向と〈1-100〉方向とにマトリクス状に配置されている。

【0042】図2の態様において、マスク領域上方に低

転位部分を形成させるならば、1つの方形状のマスク領域に1つの素子に対応させるのは、一つの好ましい態様である。例えば、1つのマスク領域の〈11-20〉方向の一边の長さ w_1 を、図5(c)に示すストライプレーザのストライプ部の幅 A とするならば、〈1-100〉方向の一边の長さ w_2 をストライプ部の全長とするなどである。このような態様によって、〈11-20〉方向、〈1-100〉方向共に、非マスク領域で分断できる。

【0043】図3の態様は、図1に示す態様の他のバリエーションであって、マスク領域は格子状の領域となっている。同図に示すように、マスク領域は、〈1-100〉方向に延びる平行な2直線 y_5 、 y_6 によって決定される帯状の領域と、〈11-20〉方向に延びる平行な2直線 x_3 、 x_4 によって決定される帯状の領域とが重ね合わされて格子状の領域となっている。マスク領域上方に低転位部分を形成させるならば、2直線 y_5 、 y_6 の幅 w_1 、 x_3 、 x_4 の幅 w_2 を目的の素子の形状に合わせて形成し、これら2方向の帯状の領域が交差している方形状の領域(図3中においてハッチングを重ね濃くして示した領域)の形状を、少なくとも素子の活性部をカバーし得る形状とする。

【0044】図3の態様によって、マスク領域上方に低転位部分を形成し、上記2方向の帯状の領域が交差している方形状の領域に半導体素子を形成すれば、非マスク領域同士を〈11-20〉方向に結ぶ線に沿って、また、〈1-100〉方向に結ぶ線に沿って、格子状に分断すれば個々の素子が得られる。

【0045】当該GaN系結晶成長用基板のマスク領域上方に低転位部分を形成する場合、各マスク領域上には半導体素子が形成されるが、例えば、マスク領域上に形成された複数の半導体素子を個々に分断するための手段としては、ポイントスクライプとブレーキングによる方法、ダイヤモンド回転刃によるスクライピングなどが挙げられる。

【0046】本発明によるGaN系半導体素子の製造方法は、上記説明のGaN系結晶成長用基板を用い、図7に示すようにGaN系結晶を成長させ、さらにこれを基板として用い、図4または図6に示すように半導体素子を形成し、低転位となった部分以外の部分(例えば、マスク領域の上方が低転位となった場合には非マスク領域)に主として分断面を形成して半導体素子を個々に分断する方法である。

【0047】GaN系結晶の成長は、ベース基板の非マスク領域が出発点となって始まる。成長を続けると、図7(a)に示すように、マスク層同士の間はGaN系結晶によって充填され、さらに図7(b)に示すように、GaN系結晶はマスク層の上面よりも高く膨出する。このとき、GaN系結晶は高さ方向(C軸方向)だけでなく、前記膨出部の側面を出発点として横方向へも成長が

始まる。やがて隣りの非マスク領域を出発点とする成長結晶と合流し、ついには図7(c)に示すように、マスク層2上を完全に覆うと共に厚さ方向への成長が継続して行き、GaN系結晶層が形成される。

【0048】GaN系結晶層は、図7(c)に示すように、マスク層の形成パターンや結晶成長条件の選択によっては、非マスク領域からGaN系結晶層内に入り込んだ転位線はそのまま上方に伝搬し、非マスク領域上の部分に転位等の欠陥が継承されることがある。しかし、その場合、少なくともマスク領域上の部分は、膨出部の側面(転位等の欠陥が存在しない面)を出発点とする横方向成長にて形成されたものであるため、転位等の欠陥が存在しない極めて高品質な結晶である。しかもGaN系結晶層とベース基板との直接接触部位は非マスク領域のみであって接触面積は小さく、両者の熱膨張係数の相違の影響をあまり受けないことから、厚肉のGaN系結晶層が容易に成長させ得るという利点もある。

【0049】結晶層として成長させるべき物質は、GaNだけでなく、GaN系半導体であってもよい。例えば式 $\text{In}_x\text{Ga}_y\text{Al}_z\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq z \leq 1$, $x+y+z=1$)で示されるGaN系の化合物半導体が挙げられる。

【0050】GaN系結晶の成長方法については制限はなく、HVPE、MOVPE(MOCVD)、MBEなどが例示できる。とりわけHVPEはC軸方向への成長速度が非常に大きいという利点があるため好ましい。また、薄膜を形成する場合はMOCVD法が好ましい。

【0051】次に、図4(a)に示すように、上記GaN系結晶層のうち、マスク領域上の部分をGaN系結晶基板として用い、少なくともマスク領域上に活性部がくるように半導体層4を成長させ、必要数の素子を含む積層体を形成する。同図の例は、素子が簡単なGaN系LEDの場合であって、マスクの幅と素子の幅と活性部の幅とが等しい場合である。活性部は、素子としての機能する部分であって、発光素子ではpn接合を含む発光を生じる部分である。例えば、LEDのダブルヘテロ接合構造では活性層であり、ストライプレーザでは、ストライプ部分などである。

【0052】次に、図4(b)に示すように、必要数の素子を含む積層体を分断して個々の素子を得る。ベース基板の除去は任意である。

【0053】素子がストライプレーザである場合、①ストライプ部が長手方向を有する(方向性がある)こと、および、②素子に共振器があること、に着目して、素子の形成と分断を行なうことが好ましい。例えば、上記①に対しては、マスク領域を図1に示すような縞状として、該マスク領域の上方に低転位部分を形成する場合、先ず、図6に示すように、ストライプ部となるべき部分の長手方向を、個々のマスク領域の帯の長手方向とし、複数個分のストライプレーザを連続的にマスク領域上に

10

20

30

40

50

形成するのが効率的である。また、上記②に対しては、先に、ストライプ部の長手方向と垂直な面で積層体全体を分断（例えば、図6ではS1、S2に沿った分断）し、図6の前面部分に現れているように、〈11-20〉方向に隣合った素子が連続的につながっている状態のものを形成する。分断面に現れた各条のストライプ部の端面に、反射器として必要な処理を施して共振器を一括して仕上げ、次に、次にストライプ部の長手方向と平行な面を分断面として分断（例えば、図6ではU1~U4に沿った分断）し、個々のGaN系ストライブレザ

【0054】

【実施例】

実施例1

本実施例では、マスク層を覆って成長するGaN系結晶のうちマスク領域の上方に低転位な部分を形成する場合の態様を示す。個々の素子の形状と等しいマスク領域を有するGaN系結晶成長用基板を製作した後、これにGaN結晶層を成長させて結晶基板とし、マスク領域上にダブルヘテロ接合構造を形成してLEDとし、非マスク領域で分断して素子を個々に分断し、図5(a)に示す形状の素子を得た。

【0055】〔GaN系結晶成長用基板の製作〕直径2インチ、厚さ330 μ m、C面サファイア基板上に、MOVPE装置を使って、厚さ20nmのAlNバッファ層を低温成長し、続いて1.5 μ mのGaN薄層を成長し、ベース基板とした。この基板の表面に、SiO₂薄膜からなり、図2に示す態様のマスク層をスパッタリング法で形成し、本発明によるGaN系結晶成長用基板を得た。

【0056】マスク層の形成パターンは、1つのマスク領域が、〈11-20〉方向290 μ m \times 〈1-100〉方向290 μ mの正方形であって、目的のLEDの活性層に一致する形状である。このマスク領域をマトリクス状となるように〈11-20〉方向、〈1-100〉方向、共に10 μ mの間隔を於いて配置した。従って、マスク領域同士の中心間ピッチは、〈11-20〉方向、〈1-100〉方向、共に300 μ mである。また、非マスク領域は、幅10 μ mの帯状の領域が直交する格子状である。

【0057】〔GaN結晶層の形成〕上記GaN系結晶成長用基板をHVPE装置に装填し、図7に示すように、非マスク領域を出発点として200 μ mのn型GaN結晶層を形成した。GaN結晶はマスク層上を横方向にも成長しマスク層を完全に覆った。n型GaN結晶層の表面の平坦性は良好であった。

【0058】〔発光素子の形成〕n型GaN結晶層を基板としてその上に、全面に、n-GaN層/n-AlGaN層/n-InGaN層/InGaN層（活性層）/p-AlGaN層/p-GaN層を順次成長させ、さら

にp型側・n型側の各々の電極を形成し、ダブルヘテロ接合構造のLEDをマトリクス状に含む積層体を完成させた。

【0059】〔個々の素子への分断〕ポイントスクライバーにて、図4(b)に示すように、格子状の非マスク領域に切り込みを入れて分断し、個々に分断されたLEDを得た。

【0060】本実施例によって、マスク領域を効率良く活性部に対応させて素子を形成でき、しかも、非マスク領域において個々の素子に分断し得ることが確認できた。また、このLEDと、従来の非マスク領域上に形成され転移を含む低品質のGaN系結晶基板を用いたLEDとを、発光輝度および寿命特性の点で比較したところ、本発明の製造方法によって得られたLEDの方が、発光輝度、寿命特性どちらも1.5倍に特性が向上していることがわかった。

【0061】実施例2

本実施例では、形成すべき目的の素子をストライブレザとし、図1に示すように、マスク層を、GaN結晶の〈1-100〉方向に延びる平行縞状とした。GaN系結晶成長用基板の製作は、実施例1と同様に行い、マスク層のパターンを、幅150 μ m、中心ピッチ300 μ mとした。

【0062】〔ストライブレザ構造の形成〕GaN系結晶成長用基板上に厚さ100 μ mのGaN結晶層を形成して基板とし、その上に、全面に、n-GaN層/n-AlGaN層/n-GaN層/InGaN多重量子井戸層/p-AlGaN層/p-GaN層/p-AlGaN層/p-GaN層を順次成長させ、積層体をRIE（Reactive Ion Etching）で8 μ mの幅に残してエッチングし、図6において4で示すように、ストライプ状とした。このとき、マスク層上のほぼ中央にストライプが形成されるように位置合せを行い、ストライプの方位を〈1-100〉方向に正確に合わせた。研磨によってC面サファイア基板を除去し、全体の厚みを80 μ mとした。

【0063】〔個々の素子への分断〕ストライプの長手方向と直交する面を分断面として、即ち、図6のS1、S2およびこれらに平行に500 μ mピッチでへき開

（M面でのへき開）し、〈11-20〉方向に隣合った素子同士がつながった状態のものを多数得た。各々の反射器面に必要なコーティングを一括して施して共振器を仕上げた後、図6のU1~U4に沿って切断し、個々のレーザチップを得た。

【0064】本実施例によって、実施例1と同様に、マスク領域を効率良くストライプ部に対応させて素子を形成できることを確認した。しかも、ストライプの方向と分断の手順を上記のように設定することによって、効率良くストライブレザが得られることがわかった。

【0065】実施例3

本実施例では、実施例2と同様のストライブレザを製作したが、次の点で実施例2と異なる。①マスク層を、Ga N結晶の $\langle 11-20 \rangle$ 方向に延びる平行縞状とした。この平行縞の仕様は、帯状であるマスク領域の幅が $50\mu\text{m}$ 、同様に非マスク領域の幅が $250\mu\text{m}$ である。

【0066】〔基板の形成〕上記平行縞状のマスク層が形成されたGa N系結晶成長用基板をHVPE装置内に配置し、温度 1000°C 、Ga原料としてトリメチルガリウム(TMG)、N原料としてアンモニア、ドーパント原料としてシランを流し、成長雰囲気ガスを水素として、マスク層を覆うまでGa N結晶を成長させた。このGa N結晶層の上面が平坦になった時点でのこの層の厚みは、 $100\mu\text{m}$ であった。

【0067】〔ストライブレザ構造の形成〕その上に、全面に、 $n\text{-Ga N層}/n\text{-Al Ga N層}/n\text{-Ga N層}/\text{In Ga N多重量子井戸層}/p\text{-Al Ga N層}/p\text{-Ga N層}/p\text{-Al Ga N層}/p\text{-Ga N層}$ を順次成長させ、積層体をRIE(Reactive Ion Etching)で $8\mu\text{m}$ の幅に残してエッチングし、ストライブ状とした。このとき、非マスク領域上のほぼ中央にストライブが形成されるように位置合せを行い、ストライブの方位を $\langle 11-20 \rangle$ 方向に正確に合わせた。研磨によってC面サファイア基板を除去し、全体の厚みを $80\mu\text{m}$ とした。

【0068】〔個々の素子への分断〕ストライブの長手方向と直交する面を分断面として、 $500\mu\text{m}$ ピッチでへき開(M面でのへき開)し、 $\langle 1-100 \rangle$ 方向に隣合った素子同士がつながった状態のものを多数得た。各々の反射器面に必要なコーティングを一括して施して共振器を仕上げた後、分断し、個々のレーザチップを得た。

【0069】本実施例によって、非マスク領域の上方を低転位化し、その部分をレーザのストライブ部に対応させて素子を効率良く形成できることを確認した。しか

＊も、ストライブの方向と分断の手順を上記のように設定することによって、実施例2と同様に、効率良くストライブレザが得られることがわかった。

【0070】

【発明の効果】本発明によるGa N系結晶成長用基板を用いることによって、マスク領域の上方、非マスク領域の上方のいずれかに形成される良好な品質の結晶をより無駄なく素子の活性部に対応させることができる。しかも、結晶の出発点となる非マスク領域を、最終的な素子の分断に利用することも可能である。従って、高品質に形成した領域をロスすることが少なく、もとのベース基板の限られた面積を有効に利用できる。

【図面の簡単な説明】

【図1】本発明のGa N系結晶成長用基板の一例を示す図である。

【図2】本発明のGa N系結晶成長用基板の他の例を示す図である。

【図3】本発明のGa N系結晶成長用基板の他の例を示す図である。

【図4】本発明のGa N系結晶成長用基板を用いたGa N系発光ダイオードの製造工程を示す図である。

【図5】目的の素子の幅とその活性部の幅の例を示す図である。

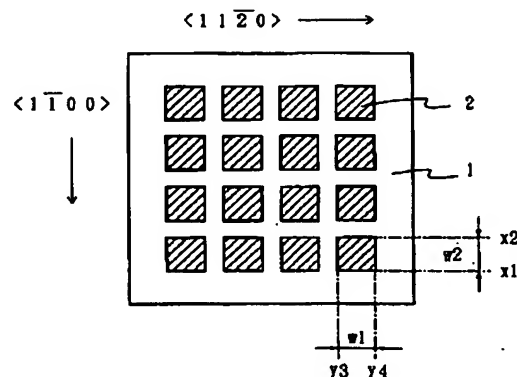
【図6】本発明のGa N系結晶成長用基板を用いたGa N系ストライブレザの製造工程における状態例を示す斜視図である。図中の左右両端の破線は、破断線を意味している。また、同図では、電極を省略している。

【図7】本発明のGa N系結晶成長用基板上へのGa N系結晶層の形成を示す図である。

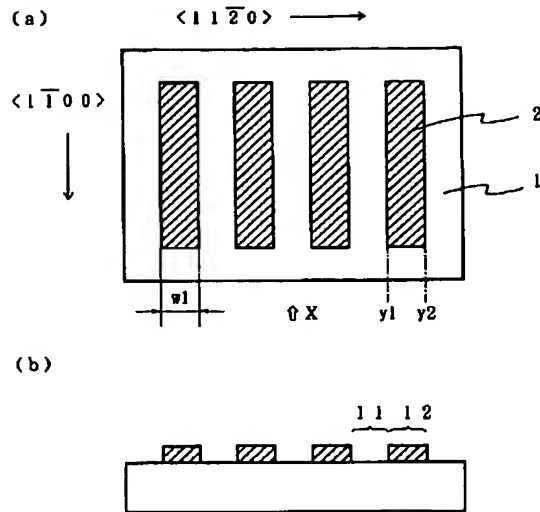
【符号の説明】

- 1 ベース基板
- 2 マスク層
- 3 Ga N系結晶層
- 11 非マスク領域
- 12 マスク領域

【図2】

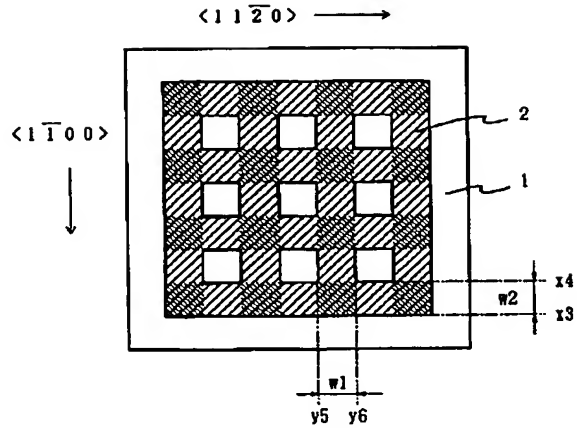


【図1】

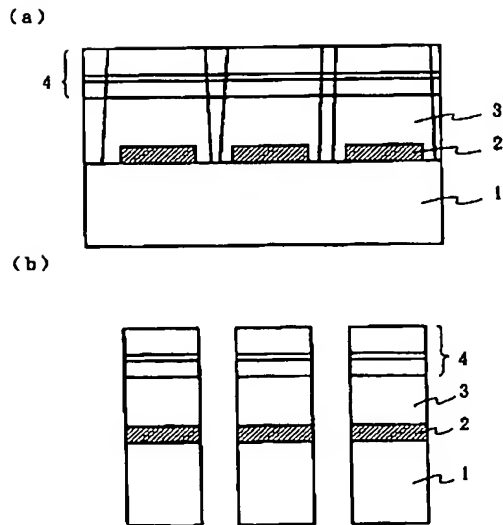


- 1 ベース基板
- 2 マスク層
- 11 非マスク領域
- 12 マスク領域

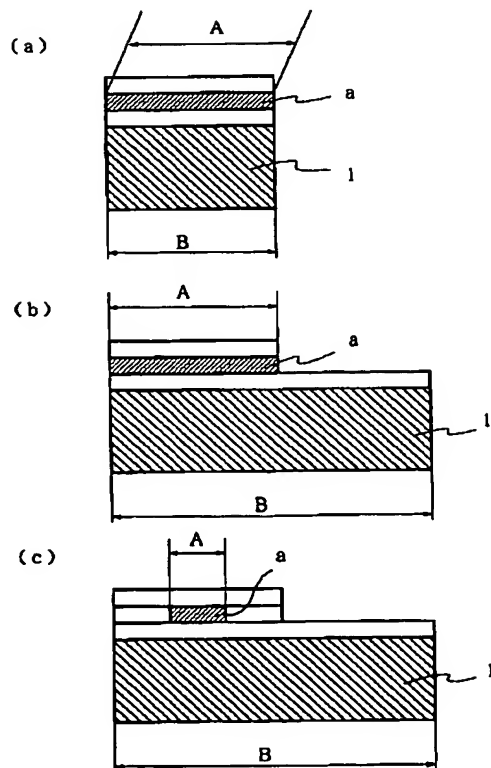
【図3】



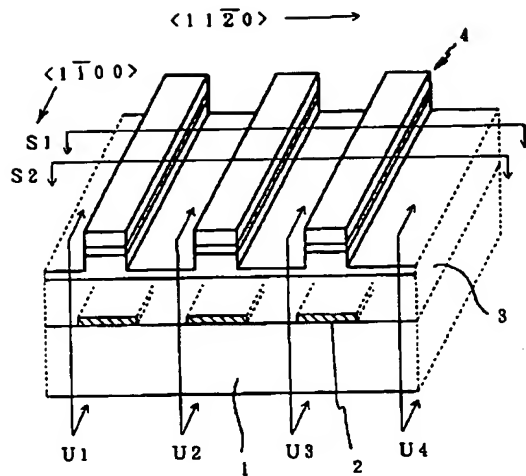
【図4】



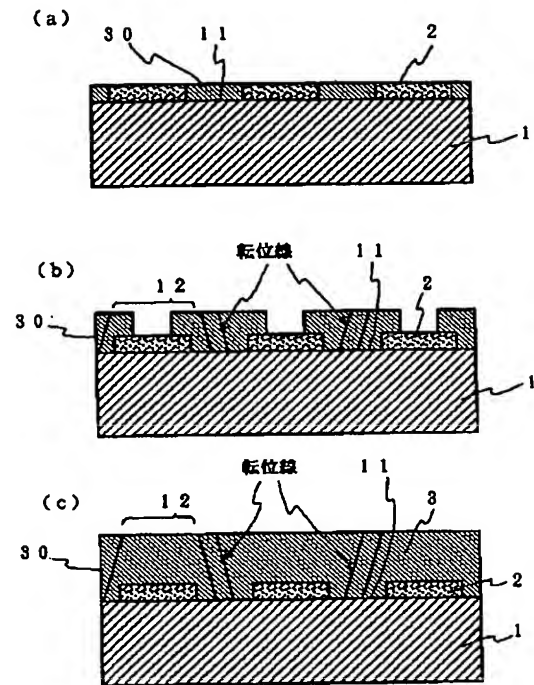
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 只友 一行
兵庫県伊丹市池尻4丁目3番地 三菱電線
工業株式会社伊丹製作所内